

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

Docket No.: 60188-121

**PATENT**

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Application of

Sadashige SUGIURA, et al.

Serial No.:

Group Art Unit:

Filed: November 28, 2001

Examiner:

For: SEMICONDUCTOR DEVICE AND TESTING METHOD THEREFOR



**CLAIM OF PRIORITY AND  
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Commissioner for Patents  
Washington, DC 20231

Sir:

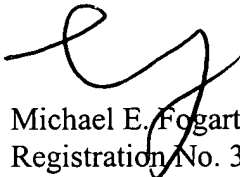
In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:

**Japanese Patent Application No. 2000-360526, filed November 28, 2000**

A Certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY



Michael E. Fogarty  
Registration No. 36,139

600 13<sup>th</sup> Street, N.W.  
Washington, DC 20005-3096  
(202) 756-8000 MEF:prp  
**Date: November 28, 2001**  
Facsimile: (202) 756-8087

日本国特許庁  
JAPAN PATENT OFFICE

60188-121  
SUGIURA et al.  
November 28, '01

McDermott, Will & Emery

#4  
15 Mar 02  
R. Tello

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2000年11月28日

出願番号

Application Number:

特願2000-360526

出願人

Applicant(s):

松下電器産業株式会社

J1002 U.S. PRO

09/994936

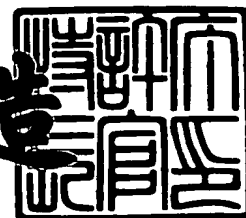


11/28/01

2001年 9月19日

特許庁長官  
Commissioner,  
Japan Patent Office

及川耕造



出証番号 出証特2001-3086305

【書類名】 特許願

【整理番号】 5037620139

【提出日】 平成12年11月28日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 25/065

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 杉浦 貞重

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 横山 敏之

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100077931

【弁理士】

【氏名又は名称】 前田 弘

【選任した代理人】

【識別番号】 100094134

【弁理士】

【氏名又は名称】 小山 廣毅

【選任した代理人】

【識別番号】 100110939

【弁理士】

【氏名又は名称】 竹内 宏

【選任した代理人】

【識別番号】 100110940

【弁理士】

【氏名又は名称】 嶋田 高久

【選任した代理人】

【識別番号】 100113262

【弁理士】

【氏名又は名称】 竹内 祐二

【選任した代理人】

【識別番号】 100115059

【弁理士】

【氏名又は名称】 今江 克実

【選任した代理人】

【識別番号】 100115510

【弁理士】

【氏名又は名称】 手島 勝

【選任した代理人】

【識別番号】 100115691

【弁理士】

【氏名又は名称】 藤田 篤史

【手数料の表示】

【予納台帳番号】 014409

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0006010

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体デバイス及びその検査方法

【特許請求の範囲】

【請求項 1】 複数の配線を有する半導体配線基板と、

半導体素子を配置した回路を有し、該回路が上記半導体配線基板の上記複数の配線に電氣的に接続されるように、上記半導体配線基板上に貼り合わせにより搭載されたチップ I P と、

上記半導体配線基板の少なくとも 1 つの配線に接続され、上記チップ I P の回路と上記配線との電氣的接続状態を検査するための少なくとも 1 つのテストパッドと

を備えている半導体デバイス。

【請求項 2】 請求項 1 記載の半導体デバイスにおいて、

上記テストパッドは、半導体デバイスの外部端子パッドであることを特徴とする半導体デバイス。

【請求項 3】 請求項 1 記載の半導体デバイスにおいて、

上記テストパッドは、上記少なくとも 1 つの配線のうち半導体配線基板の表面上に露出している部分であることを特徴とする半導体デバイス。

【請求項 4】 請求項 1 ～ 3 のうちいずれか 1 つに記載の半導体デバイスにおいて、

上記チップ I P の回路は、電源電圧を供給するための電源ラインと、上記電源ラインとの間で保護ダイオードを構成するノードとを有しており、

上記テストパッドは、上記電源ラインにつながる配線に接続される第 1 のテストパッドと、上記回路内の上記ノードにつながる配線に接続される第 2 のテストパッドとを有することを特徴とする半導体デバイス。

【請求項 5】 請求項 1 ～ 3 のうちいずれか 1 つに記載の半導体デバイスにおいて、

上記チップ I P の回路は、接地電圧を供給するための接地ラインと、上記接地ラインとの間で保護ダイオードを構成するノードとを有しており、

上記テストパッドは、上記接地ラインにつながる配線に接続される第 1 のテス

トパッドと、上記回路内の上記ノードにつながる配線に接続される第2のテストパッドとを有することを特徴とする半導体デバイス。

【請求項6】 請求項1～3のうちいずれか1つに記載の半導体デバイスにおいて、

上記チップIPの回路は、接地電圧を供給するための接地ラインと、電源電圧を供給するための電源ラインと、上記接地ライン又は接続ラインの信号と上記回路の出力部の出力信号とを受けて両者のいずれか一方を選択して出力するセレクタとを有しており、

上記テストパッドは、上記セレクタの切り換え制御用信号供給する配線に接続される第1のテストパッドと、上記セレクタの出力部に接続される第2のテストパッドとを有することを特徴とする半導体デバイス。

【請求項7】 請求項1～6のうちいずれか1つに記載の半導体デバイスにおいて、

上記半導体配線基板の複数の配線のうち上記テストパッドに接続される配線において、上記テストパッドを挟んで上記チップIPと対向する位置には上記テストパッドからの信号の伝達をオン・オフするためのスイッチング素子が設けられていることを特徴とする半導体デバイス。

【請求項8】 請求項1～3のうちいずれか1つに記載の半導体デバイスにおいて、

上記チップIP内に設けられ、上記チップIPの回路と上記配線との電氣的接続状態を検査するためのテスト回路と、

少なくとも上記テスト回路をテストモードに設定するための設定回路とをさらに備え、

上記テストパッドは、上記テスト回路及び設定回路にテストモード信号を供給する第1のテストパッドと、上記テスト回路の出力を受ける第2のテストパッドとを有することを特徴とする半導体デバイス。

【請求項9】 請求項8記載の半導体デバイスにおいて、

上記テスト回路は、プルダウン型回路構成又はプリアップ型回路構成を有していることを特徴とする半導体デバイス。

【請求項 1 0】 請求項 8 又は 9 記載の半導体デバイスにおいて、  
上記設定回路は、上記チップ I P 内に設けられていることを特徴とする半導体デバイス。

【請求項 1 1】 請求項 8 又は 9 記載の半導体デバイスにおいて、  
上記設定回路は、上記チップ I P とは別のチップ内に設けられていることを特徴とする半導体デバイス。

【請求項 1 2】 請求項 8 ～ 1 1 のうちいずれか 1 つの半導体デバイスにおいて、

上記チップ I P の回路は、電源電圧を供給するための電源ラインと、接地電圧を供給するための接地ラインとを有しており、

上記電源ラインにつながる配線に接続される第 3 のパッドと、

上記接地ラインにつながる配線に接続される第 4 のパッドとをさらに備えていることを特徴とする半導体デバイス。

【請求項 1 3】 複数の配線を有する半導体配線基板と、電源電圧を供給するための電源ライン及び該電源ラインとの間で保護ダイオードを構成するノードを有する回路を内蔵し、内部の回路が上記半導体配線基板の上記複数の配線に電氣的に接続されるように上記半導体配線基板上に貼り合わせにより搭載されたチップ I P とを備えた半導体デバイスの検査方法であって、

上記複数の配線のうち上記電源ラインにつながる配線に接続される第 1 のテストパッドと、上記複数の配線のうち上記回路内の上記ノードにつながる配線に接続される第 2 のテストパッドとをそれぞれ形成しておいて、

上記第 1 のテストパッドから上記電源ラインの電圧よりも低い電圧を上記電源ラインに供給するステップ (a) と、

上記第 2 のテストパッドから上記回路の上記ノードの電圧又は電流を検出することにより、上記チップ I P の上記回路と上記複数の配線との電氣的接続状態を検査するステップ (b) と

を含むことを特徴とする半導体デバイスの検査方法。

【請求項 1 4】 複数の配線を有する半導体配線基板と、接地電圧を供給するための接地ライン及び該接地ラインとの間で保護ダイオードを構成するノード



を有する回路を内蔵し、内部の回路が上記半導体配線基板の上記複数の配線に電氣的に接続されるように上記半導体配線基板上に貼り合わせにより搭載されたチップ I P とを備えた半導体デバイスの検査方法であって、

上記複数の配線のうち上記接地ラインにつながる配線に接続される第 1 のテストパッドと、上記複数の配線のうち上記回路内の上記ノードにつながる配線に接続される第 2 のテストパッドとをそれぞれ形成しておいて、

上記第 1 のテストパッドから上記接地ラインの電圧よりも高い電圧を上記接地ラインに供給するステップ (a) と、

上記第 2 のテストパッドから上記回路の上記ノードの電圧又は電流を検出することにより、上記チップ I P の上記回路と上記複数の配線との電氣的接続状態を検査するステップ (b) とを含むことを特徴とする半導体デバイスの検査方法。

【請求項 1 5】 複数の配線を有する半導体配線基板と、電源電圧を供給するための電源ライン及び該電源ラインとの間で保護ダイオードを構成するノードを有する回路を内蔵し、内部の回路が上記半導体配線基板の上記複数の配線に電氣的に接続されるように上記半導体配線基板上に貼り合わせにより搭載されたチップ I P とを備えた半導体デバイスの検査方法であって、

上記チップ I P 内に設けられ、上記チップ I P の回路と上記配線との電氣的接続状態を検査するためのテスト回路と、上記チップ I P 内の回路及び上記テスト回路をテストモードに設定するための設定回路とを形成し、

上記複数の配線のうち上記設定回路につながる配線に接続される第 1 のテストパッドと、上記複数の配線のうち上記テスト回路につながる配線に接続される第 2 のテストパッドとをそれぞれ形成しておいて、

上記第 1 のテストパッドから上記設定回路及びテスト回路に、テストモード設定信号を入力するステップ (a) と、

上記第 2 のテストパッドから上記テスト回路の出力を検出することにより、上記チップ I P の上記回路と上記複数の配線との電氣的接続状態を検査するステップ (b) と

を含むことを特徴とする半導体デバイスの検査方法。

【請求項 1 6】 請求項 1 5 記載の半導体デバイスの検査方法において、

上記テスト回路をプルダウン型回路構成を有するように形成しておいて、

上記ステップ（a）では、上記設定回路からHレベルの信号が出力されるようにテストモード設定信号を入力し、

ステップ（b）では、上記テスト回路からの出力がHレベルのときに上記チップIPと上記複数の配線との電氣的接続状態が良好であると判定することを特徴とする半導体デバイスの検査方法。

【請求項17】 請求項15記載の半導体デバイスの検査方法において、

上記テスト回路をプルアップ型回路構成を有するように形成しておいて、

上記ステップ（a）では、上記設定回路からLレベルの信号が出力されるようにテストモード設定信号を入力し、

ステップ（b）では、上記テスト回路からの出力がLレベルのときに上記チップIPと上記複数の配線との電氣的接続状態が良好であると判定することを特徴とする半導体デバイスの検査方法。

【請求項18】 請求項15～17のうちいずれか1つの半導体デバイスの検査方法において、

上記チップIPは複数個配置されており、

上記チップIPの回路は、電源電圧を供給するための電源ラインと、接地電圧を供給するための接地ラインとを有しており、

上記電源ラインにつながる配線に接続される第3のパッドと、

上記接地ラインにつながる配線に接続される第4のパッドと、

上記各チップIP間の配線の導通をオン・オフするためのスイッチングデバイスと、

上記各チップIPからの出力を切り換えるためのセレクタとをさらに備え、

上記設定回路により、上記ステップ（a）、（b）を上記各IP毎に順次行なうように、上記スイッチングデバイス及びセレクタを制御することを特徴とする半導体デバイスの検査方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、配線層が設けられた半導体配線基板上に各種チップ I P を搭載してなる半導体デバイス、その検査方法及びその機能設定方法に関する。

【 0 0 0 2 】

【従来の技術】

近年、複数の L S I を共通の基板上に形成したシステム L S I という概念が提起されており、システム L S I の設計手法としても各種の提案がなされている。特に、システム L S I の利点は、D R A M などのメモリや、ロジック L S I や、高周波回路などのアナログ回路を 1 つの半導体装置内に収納して、多種、多機能の半導体装置を極めて高集積化して実現することができることである。

【 0 0 0 3 】

【発明が解決しようとする課題】

ところで、上記従来のシステム L S I は、現実にはデバイスを形成する上で以下のような問題に直面している。

【 0 0 0 4 】

第 1 の問題は、デバイスの製造コストの低減が困難であることである。これは、システム L S I の開発コストが多大になることと、製造歩留まりがそれほど高くないことに起因する。

【 0 0 0 5 】

第 2 の問題は、配線遅延が非常に大きくなることである。一般に、シュリンク則に従うとデバイスの高さも低減することになるが、そうすると配線の断面積が小さくなるにつれて R C ( R は抵抗, C は寄生容量) によって規定される配線遅延が増大する。つまり、配線遅延に関する限り、微細化による利益よりも不利益が増大することになる。これを解決する 1 つの手段として、配線中のバッファを設けることがあるが、バッファを設けるとデバイスの占有面積や消費電力が増大するという別の不利益を招く。

【 0 0 0 6 】

第 3 の問題は、ノイズの低減が困難となる点である。電源電圧が低下すると電流が増大することになるが、その電流の増大に応じたノイズの増大を抑制するのが困難となる。シュリンク割合の 3 乗から 6 乗に比例して S N 比が悪化すること

から、微細化によるノイズの増大が避けられないからである。つまり、電源インピーダンスを如何に抑制するかがポイントである。

【0007】

そこで、配線の断面積を大きく確保しつつ、多種、多機能のデバイスを内蔵した半導体デバイスを実現するための1つの手段として、配線層を有する半導体配線基板例えばシリコン配線基板上に、各種の素子を集積したチップIPを搭載することが考えられる。その場合、多くのチップIP（IP）を配線基板上に搭載する構造を採るために、従来のシステムLSIに比べてチップIPと配線基板の接続の信頼性を確保することがより重要となる。

【0008】

本発明の目的は、共通の半導体配線基板の上に、IPとして設計資産となりうるチップIPを搭載しつつ、半導体配線基板とチップIPとの接続の信頼性を確保するための半導体デバイス及びその検査方法の提供を図ることにある。

【0009】

【課題を解決するための手段】

本発明の半導体デバイスは、基本的な構成として、複数の配線を有する半導体配線基板と、半導体素子を配置した回路を有し、該回路が上記半導体配線基板の上記複数の配線に電氣的に接続されるように、上記半導体配線基板上に貼り合わせにより搭載されたチップIPと、上記半導体配線基板の少なくとも1つの配線に接続され、上記チップIPの回路と上記配線との電氣的接続状態を検査するための少なくとも1つのテストパッドとを備えている。

【0010】

これにより、半導体配線基板上に設けたテストパッドを利用して、個々のチップIPと半導体配線基板の配線との電氣的接続状態を簡易かつ迅速に検査することが可能になる。したがって、貼り合わせによるチップIPと配線との電氣的接続の信頼性の低下を抑制することができる。

【0011】

上記テストパッドは、半導体デバイスの外部端子パッドであってもよいし、上記少なくとも1つの配線のうち半導体配線基板の表面上に露出している部分であ

ってもよい。

【 0 0 1 2 】

上記チップ I P の回路が、電源電圧を供給するための電源ラインと、上記電源ラインとの間で保護ダイオードを構成するノードとを有しており、上記テストパッドは、上記電源ラインにつながる配線に接続される第 1 のテストパッドと、上記回路内の上記ノードにつながる配線に接続される第 2 のテストパッドとを有することにより、保護ダイオードにおける順方向電流を利用して電氣的接続状態を容易に検出する構造となる。

【 0 0 1 3 】

上記チップ I P の回路が、接地電圧を供給するための接地ラインと、上記接地ラインとの間で保護ダイオードを構成するノードとを有しており、上記テストパッドが、上記接地ラインにつながる配線に接続される第 1 のテストパッドと、上記回路内の上記ノードにつながる配線に接続される第 2 のテストパッドとを有することにより、保護ダイオードにおける順方向電流を利用して電氣的接続状態を容易に検出する構造となる。

【 0 0 1 4 】

上記チップ I P の回路が、接地電圧を供給するための接地ラインと、電源電圧を供給するための電源ラインと、上記接地ライン又は接続ラインの信号と上記回路の出力部の出力信号とを受けて両者のいずれか一方を選択して出力するセレクタとを有しており、上記テストパッドが、上記セレクタの切り換え制御用信号供給する配線に接続される第 1 のテストパッドと、上記セレクタの出力部に接続される第 2 のテストパッドとを有していることによっても、電氣的接続状態を容易に検出する構造となる。

【 0 0 1 5 】

上記半導体配線基板の複数の配線のうち上記テストパッドに接続される配線において、上記テストパッドを挟んで上記チップ I P と対向する位置には上記テストパッドからの信号の伝達をオン・オフするためのスイッチング素子が設けられていることにより、検査を行なうチップ I P につながる別のチップ I P 内の回路に過大な負荷が作用するのを未然に防止することができる。

## 【 0 0 1 6 】

また、上記チップ I P 内に設けられ、内部の回路と上記配線との電氣的接続状態を検査するためのテスト回路と、少なくとも上記テスト回路をテストモードに設定するための設定回路とをさらに備え、上記テストパッドが、上記テスト回路及び設定回路にテストモード信号を供給する第 1 のテストパッドと、上記テスト回路の出力を受ける第 2 のテストパッドとを有することにより、より確実にチップ I P と配線との電氣的接続状態を検査することができる。

## 【 0 0 1 7 】

上記テスト回路が、プルダウン型回路構成又はプルアップ型回路構成を有していることにより、検査のためのモニター信号が H レベル又は L レベルのいずれかによって電氣的接続状態の良否を簡易に判定することが可能になる。

## 【 0 0 1 8 】

上記設定回路は、上記チップ I P 内に設けられていてもよいし、上記チップ I P とは別のチップ内に設けられていてもよい。

## 【 0 0 1 9 】

上記チップ I P の回路が、電源電圧を供給するための電源ラインと、接地電圧を供給するための接地ラインとを有しており、上記電源ラインにつながる配線に接続される第 3 のパッドと、上記接地ラインにつながる配線に接続される第 4 のパッドとをさらに備えていることが好ましい。

## 【 0 0 2 0 】

本発明の第 1 の半導体デバイスの検査方法は、複数の配線を有する半導体配線基板と、電源電圧を供給するための電源ライン及び該電源ラインとの間で保護ダイオードを構成するノードを有する回路を内蔵し、内部の回路が上記半導体配線基板の上記複数の配線に電氣的に接続されるように上記半導体配線基板上に貼り合わせにより搭載されたチップ I P とを備えた半導体デバイスの検査方法であって、上記複数の配線のうち上記電源ラインにつながる配線に接続される第 1 のテストパッドと、上記複数の配線のうち上記回路内の上記ノードにつながる配線に接続される第 2 のテストパッドとをそれぞれ形成しておいて、上記第 1 のテストパッドから上記電源ラインの電圧よりも低い電圧を上記電源ラインに供給するス

チップ（a）と、上記第2のテストパッドから上記回路の上記ノードの電圧又は電流を検出することにより、上記チップIPの上記回路と上記複数の配線との電氣的接続状態を検査するステップ（b）とを含んでいる。

#### 【0021】

この方法により、一般に入出力パッドに直接つながるMOSトランジスタ等の半導体素子には、保護ダイオードとして機能する部分が設けられていることを利用して、チップIPの回路と半導体配線基板の配線との電氣的接続状態を簡易かつ迅速に検査することができる。

#### 【0022】

本発明の第2の半導体デバイスの検査方法は、複数の配線を有する半導体配線基板と、接地電圧を供給するための接地ライン及び該接地ラインとの間で保護ダイオードを構成するノードを有する回路を内蔵し、内部の回路が上記半導体配線基板の上記複数の配線に電氣的に接続されるように上記半導体配線基板上に貼り合わせにより搭載されたチップIPとを備えた半導体デバイスの検査方法であって、上記複数の配線のうち上記接地ラインにつながる配線に接続される第1のテストパッドと、上記複数の配線のうち上記回路内の上記ノードにつながる配線に接続される第2のテストパッドとをそれぞれ形成しておいて、上記第1のテストパッドから上記接地ラインの電圧よりも高い電圧を上記接地ラインに供給するステップ（a）と、上記第2のテストパッドから上記回路の上記ノードの電圧又は電流を検出することにより、上記チップIPの上記回路と上記複数の配線との電氣的接続状態を検査するステップ（b）とを含んでいる。

#### 【0023】

この方法によっても、一般に入出力パッドに直接つながるMOSトランジスタ等の半導体素子には、保護ダイオードとして機能する部分が設けられていることを利用して、チップIPの回路と半導体配線基板の配線との電氣的接続状態を簡易かつ迅速に検査することができる。

#### 【0024】

本発明の第3の半導体デバイスの検査方法は、複数の配線を有する半導体配線基板と、電源電圧を供給するための電源ライン及び該電源ラインとの間で保護ダ

イオードを構成するノードを有する回路を内蔵し、内部の回路が上記半導体配線基板の上記複数の配線に電気的に接続されるように上記半導体配線基板上に貼り合わせにより搭載されたチップ I P とを備えた半導体デバイスの検査方法であって、上記チップ I P 内に設けられ、上記チップ I P の回路と上記配線との電気的接続状態を検査するためのテスト回路と、上記チップ I P 内の回路及び上記テスト回路をテストモードに設定するための設定回路とを形成し、上記複数の配線のうち上記設定回路につながる配線に接続される第 1 のテストパッドと、上記複数の配線のうち上記テスト回路につながる配線に接続される第 2 のテストパッドとをそれぞれ形成しておいて、上記第 1 のテストパッドから上記設定回路及びテスト回路に、テストモード設定信号を入力するステップ (a) と、上記第 2 のテストパッドから上記テスト回路の出力を検出することにより、上記チップ I P の上記回路と上記複数の配線との電気的接続状態を検査するステップ (b) とを含んでいる。

## 【 0 0 2 5 】

この方法により、テスト回路を利用して、より確実にチップ I P の回路と半導体配線基板の配線との電気的接続状態を簡易かつ迅速に検査することができる。

## 【 0 0 2 6 】

上記テスト回路をプルダウン型回路構成を有するように形成しておいて、上記ステップ (a) では、上記設定回路から H レベルの信号が出力されるようにテストモード設定信号を入力し、ステップ (b) では、上記テスト回路からの出力が H レベルのときに上記チップ I P と上記複数の配線との電気的接続状態が良好であると判定することができる。

## 【 0 0 2 7 】

上記テスト回路をプルアップ型回路構成を有するように形成しておいて、上記ステップ (a) では、上記設定回路から L レベルの信号が出力されるようにテストモード設定信号を入力し、ステップ (b) では、上記テスト回路からの出力が L レベルのときに上記チップ I P と上記複数の配線との電気的接続状態が良好であると判定することもできる。

## 【 0 0 2 8 】



上記チップ I P は複数個配置されており、上記チップ I P の回路は、電源電圧を供給するための電源ラインと、接地電圧を供給するための接地ラインとを有しており、上記電源ラインにつながる配線に接続される第 3 のパッドと、上記接地ラインにつながる配線に接続される第 4 のパッドと、上記各チップ I P 間の配線の導通をオン・オフするためのスイッチングデバイスと、上記各チップ I P からの出力を切り換えるためのセレクタとをさらに設けて、上記設定回路により、上記ステップ (a), (b) を上記各 I P 毎に順次行なうように、上記スイッチングデバイス及びセレクタを制御することにより、外部端子パッドからすべてのチップ I P の配線層との接続状態を検査することができる。

法。

【 0 0 2 9 】

【発明の実施の形態】

ー本発明の前提となる基本的な構造ー

そこで、本発明では、配線の断面積を大きく確保しつつ、多種、多機能のデバイスを内蔵した半導体装置を実現するための 1 つの手段として、配線層を有する半導体配線基板例えばシリコン配線基板 (Super-Sub) 上に、各種デバイスを内蔵したチップ I P を搭載する構成を採る。そして、各チップ I P 内に設けられる回路 (I C) は半導体装置の設計上 I P (Intellectual Property) として扱うことができ、各種 I P を半導体配線基板上に貼り合わせたものと考えることができる。つまり、半導体デバイス全体は、“I P On Super-Sub” であるので、本明細書の実施形態においては、シリコン配線基板と I P 群とを備えた半導体デバイス全体を “I P O S デバイス” と記載する。

【 0 0 3 0 】

図 1 (a), (b), (c) は、I P (チップ I P) 群を搭載するための配線基板となるシリコン配線基板の平面図、シリコン配線基板上に搭載される I P 群の例を示す平面図、及びシリコン配線基板の断面図である。図 1 (a), (b) に示すように、シリコン配線基板 1 0 上には各種 I P を搭載するための複数の領域が設けられており、各領域には、例えば、Analog-I P, Logic-I P, C P U-I P, Flash メモリー I P, S R A M-I P, D R A M-I P, I/O-

IP, などの各種 IP 群がチップ IP として搭載可能となっている。図 1 (c) に示すように、シリコン配線基板 10 は、シリコン基板 11 と、シリコン基板 10 上に絶縁膜 (図示せず) を挟んで設けられたグランドプレーン 12 と、グランドプレーン 12 の上に層間絶縁膜を挟んで設けられた第 1 配線層 13 と、第 1 配線層 13 の上に層間絶縁膜を挟んで設けられた第 2 配線層 14 と、第 2 配線層 14 の上にパッシベーション膜を挟んで設けられたパッド 15 とを備えている。パッド 15, 各配線層 13, 14 及びグランドプレーン 12 間は、それぞれコンタクト (図示せず) を介して所望の部位で互いに接続されている。そして、各 IP は、パッド 15 上に貼り付けられて、各 IP が配線層 13, 14 により互いにあるいはグランドプレーン 12 に電氣的に接続される構造となっている。

#### 【0031】

シリコン配線基板 10 内の配線層 13, 14 の寸法の制約は緩やかであり、数  $\mu\text{m}$  幅の配線をも設けることができるので、以下のような効果がある。経験的に、今までの半導体集積回路装置の微細化が進展した過程において、もっとも配線としての特性が良好であった世代の寸法を有する配線を設けることが可能となる。また、配線の電気インピーダンスを低減することができる。

#### 【0032】

ここで、シリコン配線基板上には多数の IP として機能するチップ IP が搭載されるが、シリコン配線基板の配線層と IP との信号接続の良否や、各 IP 同士の電氣的接続状態の良否を効率よく行なうための手段が必要となる。以下、そのような接続の良否判定に関する各実施形態について説明する。

#### 【0033】

##### (第 1 の実施形態)

図 2 は、本実施形態の IP OS デバイスの全体構造及び部分拡大構造を示す平面図である。同図に示すように、シリコン配線基板 20 の上面上には、IP OS デバイス内の回路と外部機器との電氣的な接続を行なうための外部端子パッド 21 が、外周部に沿って設けられている。そして、シリコン配線基板 20 の上には、各種の素子を内蔵した IP (チップ IP) 22, 23, 24 が配置されている。そして、図中破線に示すパッド (シリコン配線基板上の配線につながるパッド

とIP内の回路につながるパッドとが重なっている)により、各IP内の回路とシリコン配線基板中の各配線とが互いに接続されている。また、同図の部分拡大図に示すように、電氣的接続状態の検査を行なうためのIP24には、シリコン配線基板20の配線層中の配線25、26、31、32が接続されている。

## 【0034】

ここで、本実施形態の特徴は、電氣的接続状態を検査しようとするIP24につながる配線25、26、31、32にそれぞれ接続されるテストパッド27、28、33、34が設けられている点である。配線25、26、31、32は、図1(c)に示すような配線層13、14として存在するものであり、各テストパッド27、28、33、34は、配線25、26、31、32にコンタクトを介して接続されている。配線25はIP24内の内部回路43の1つのノード43aに接続され、配線26はIP24内の接地ライン41に接続されている。また、配線31はIP24内の電源ライン42に接続され、配線32はIP24内の内部回路43の1つのノード43bに接続されている。

## 【0035】

このテストパッド27、28、33、34は、一般的には図1(b)に示す符号15により示されるものとほぼ同じ構造を有しているが、配線層の配線の一部を露出させて、これをパッドとして用いることも可能である。シリコン配線基板20の場合、チップIP上に設けられる配線層とは異なり、例えば数0 $\mu$ m幅というような広幅の配線も存在するので、その一部をそのままテストパッドとして利用することができる。

## 【0036】

なお、テストパッド27、28と図示しない別のIP(チップIP)との間には、テストモード信号 $S_{tm}$ を受けたときにオフ状態になるスイッチングトランジスタ29、30が設けられている。このスイッチングトランジスタ29、30はシリコン配線基板20に予め設けられているが、各IP内に設けておいてもよい、また、このスイッチングトランジスタ29、30は、特に保護すべきIPが存在しない場合には必ずしも設けなくてもよい。

## 【0037】

図3 (a) は、IP (チップIP) と配線との第1の検査方法を示すブロック回路図である。同図に示すように、配線31, 32とIP24との電氣的接続状態を検査するときには、テスト用ピン37からテストパッド33を介してIP24内の電源ライン42に負の電圧を印加する。このとき、電氣的接続状態が良好であれば、順方向電圧に応じてIP24の内部回路43のノード43bから保護ダイオード (一般に入出力パッドに接続されるMOSトランジスタに設けられている) に順方向電流が流れるので、テスト用ピン38により、電流を検知するか、電圧降下に応じた電圧を検知すれば、測定された電圧値又は電流値によって、IPとシリコン配線基板中の配線との電氣的接続状態 (具体的には、図中破線で示すパッド同士の接続常態など) の良否を判定することができる。

#### 【0038】

また、配線25, 26とIP24との電氣的接続状態を検査するときには、テスト用ピン36からテストパッド28を介してIP24内の接地ライン41に正の電圧を印加する。このとき、電氣的接続状態が良好であれば、順方向電圧によってIP24の内部回路43のノード43aから保護ダイオードに順方向電流が流れるので、テスト用ピン35により、電流を検知するか、電圧降下に応じた電圧を検知すれば、測定された電圧値又は電流値によって、IPとシリコン配線基板中の配線との電氣的接続状態 (具体的には、図中破線で示すパッド同士の接続常態など) の良否を判定することができる。

#### 【0039】

なお、電源ライン42又は接地ライン41に“0, 1”パターンの信号を入力してもよい。

#### 【0040】

図3 (b) は、IP (チップIP) と配線との第2の検査方法を示すブロック回路図である。同図に示すように、IP24内に、IP24の内部回路43の出力と電源ライン42 (接地ライン41) の出力である電源電圧VDD (接地電圧VSS) ) とを受けて、いずれか一方を選択して出力するセレクタ44を設けておく。そして、配線31, 32とIP24との電氣的接続状態を検査するときには、テスト用ピン32からテストパッド34を介して電源ライン42の出力が選

択されるような論理電圧（例えばH）をセレクタ44に供給すると、電氣的接続状態が良好であれば、テスト用ピン37にはテストパッド33を介して電源電圧VDDが出力される。したがって、テスト用ピン37の電圧を測定することによって電氣的接続状態の良否を判定することができる。また、配線25, 26とIP24との電氣的接続状態を検査するときには、テスト用ピン35からテストパッド27を介して接地ライン41の出力が選択されるような論理電圧（例えばH）をセレクタ44に供給すると、電氣的接続状態が良好であれば、テストパッド28を介してテスト用ピン36には接地電圧VSSが出力されることになる。したがって、テスト用ピン36の電圧を測定することによって電氣的接続状態の良否を判定することができる。

## 【0041】

なお、図3（b）に示すテストにおいて、テスト用ピン38（又は35）に何らかのテストパターンを入力させてファンクションテストを行なってもよい。

## 【0042】

従来のシステムLSIなどでは、テストパッドは、システムLSIとなる半導体デバイス全体の外周部に設けられていた。ところが、上述のように、IPOSデバイスにおいては、シリコン配線基板20の配線層における配線ピッチは、従来のシステムLSIなどにおける配線ピッチよりも大きい。そこで、この点に着目して、本発明では、テストパッド27, 28, 33, 34を、シリコン配線基板20の配線層の途中にコンタクトを介して接続させる構成とする。そして、このような構成により、IPOSデバイスに搭載される各IP（チップIP）ごとに、IP（チップIP）と配線層との電氣的接続状態の良否を簡易かつ確実に判定することができるのである。

## 【0043】

## （第2の実施形態）

図4は、第2の実施形態のIPOSデバイスの一部を拡大して示す平面図である。同図に示すように、本実施形態においては、電氣的接続状態を検査しようとするIP24が外部端子パッド21a, 21bに直接接続され、かつ、1つの外部端子パッド21aがIP24内の内部回路43に、1つの外部端子パッド21

b が I P 2 4 の接地ライン 4 1 (又は電源ライン 4 2) に接続されている。この場合、検査しようとする I P 2 4 に隣接して別の I P 5 0 が存在している。そして、2 つの I P 2 4, 5 0 同士を接続する配線 3 1, 3 4 に接続されるテストパッド 5 3, 5 4 が設けられ、また、テストモード信号  $S_{tm}$  に応じて配線 3 1, 3 4 の電氣的接続状態をオフするための MOS トランジスタ 5 1, 5 2 が設けられている。なお、図中破線に示すパッド (シリコン配線基板上の配線につながるパッドと I P 内の回路につながるパッドとが重なっている) により、各 I P 内の回路とシリコン配線基板中の各配線とが互いに接続されている。

## 【 0 0 4 4 】

本実施形態において、I P 2 4 の電氣的接続状態を検査する際には、図 3 (a) 又は (b) に示すテストパッド 3 3, 3 4 に代えて、外部端子パッド 2 1 b, 2 1 a を用いることで、第 1 の実施形態と同様のテストを行なうことができる。すなわち、第 1 の検査方法を用いる場合で、外部端子パッド 2 1 a が接地ライン 4 1 に接続されているときには、テスト用ピン 3 7, 3 8 (又は 3 6, 3 5) により、接地ライン 4 1 に正の電圧又は“0, 1”パターンを印加して、出力される電圧又は電流測定から電氣的接続状態の良否を判定する。外部端子パッド 2 1 a が電源ライン 4 2 に接続されているときには、電源ライン 4 2 に負の電圧又は“0, 1”パターンを印加する。

## 【 0 0 4 5 】

一方、第 2 の検査方法を用いる場合で、外部端子パッド 2 1 a が接地ライン 4 1 に接続されているときには、接地ライン 4 1 の電圧と内部回路 4 3 の出力とのいずれか一方を選択して出力するセレクタを設け、テスト用ピン 3 7, 3 8 (又は 3 6, 3 5) により、接地ライン 4 1 の電圧  $V_{SS}$  又はテストパターンを電圧又は電流測定から電氣的接続状態の良否を判定する。一方、外部端子パッド 2 1 a が電源ライン 4 2 に接続されているときには、電源ライン 4 2 に負の電圧又は“0, 1”パターンを印加する。

## 【 0 0 4 6 】

本実施形態においては、外部端子パッド 2 1 a, 2 1 b をテストパッドとして機能させて、外部端子パッドに接続される I P (チップ I P) のシリコン配線基

板 20 との電氣的接続状態を検査することができ、上記第 1 の実施形態と同様の効果を発揮することができる。

## 【0047】

## (第 3 の実施形態)

図 5 は、第 3 の実施形態における IPOS デバイスの一部を拡大して示す平面図である。本実施形態の特徴は、電氣的接続状態を検査しようとする IP24 内に、モニター信号を生成するためのテスト回路 60a を設け、IP24 の外部にテストモードを設定するための設定回路 60b を設けている点である。そして、本実施形態においては、IPOS デバイスの外部端子パッド 21c ~ 21g をテストパッドとして利用する。ここで、外部端子パッド 21c は IP24 内の電源ライン 42 に接続され、外部端子パッド 21d は IP24 内の内部回路 43 に接続され、外部端子パッド 21e はテスト回路 60a 及び設定回路 60b に接続され、外部端子パッド 21f は IP24 内の接地ライン 41 に接続され、外部端子パッド 21g はテスト回路 60a に接続されている。なお、図中破線に示すパッド（シリコン配線基板上の配線につながるパッドと IP 内の回路につながるパッドとが重なっている）により、各 IP 内の回路とシリコン配線基板中の各配線とが互いに接続されている。

## 【0048】

IP24 とシリコン配線基板との電氣的接続状態を検査する際には、各外部端子パッド 21c, 21d, 21e, 21f, 21g にそれぞれテスト用ピン 61, 62, 63, 64, 65 を接触させる。そして、テスト用ピン 61, 64 から外部端子パッド 21c, 21f を介してそれぞれ電源電圧、接地電圧を供給する。

## 【0049】

一方、テスト回路 60a の構造に応じてテスト用ピン 63 から外部端子パッド 21e を介して、IP24 内の内部回路 43 にテストモード信号として H レベル又は L レベルの信号を供給する。これにより、内部回路 43 の全入出力端子は入力端子としてしか機能しなくなり、内部回路 43 からの信号に関わりなくテストを行なうことができるようになる。ただし、内部回路 43 の入出力信号を設定回

路 6 0 b からの信号によってすべて H レベル又は L レベルにすることが可能な場合には、テスト用ピン 6 3 を用いる必要はない。その場合には、設定回路 6 0 b が大規模な回路になるという不利益もあるので、チップ I P 内の内部回路の構成に応じて、いずれかの方法を選択すればよい。

## 【 0 0 5 0 】

また、テスト用ピン 6 3 から外部端子パッド 2 1 e を介して設定回路 6 0 b 及びテスト回路 6 0 a に、テストモード設定信号としてテスト回路 6 0 a の構造（プルダウン型かプルアップ型かなどの構造）に応じた H レベル又は L レベルの信号を供給する。そして、テスト用ピン 6 5 により、テスト回路 6 0 a で生成されたモニター信号を外部端子パッド 2 1 g を介して検知する。

## 【 0 0 5 1 】

このとき、テスト回路 6 0 a の構造をプルダウン型にして、内部回路 4 3，設定回路 6 0 b 及びテスト回路 6 0 a に H レベルの信号を供給すると、I P 2 4 とシリコン配線基板の配線層とが正しく接続されていれば、テスト回路 6 0 a において H レベルのモニター信号が生成されるが、もし、断線している部分があればプルダウンされるのでテスト回路 6 0 a から L レベルのモニター信号が生成される。したがって、モニター信号に基づいて電氣的接続状態の良否を判定することができる。

## 【 0 0 5 2 】

また、テスト回路 6 0 a の構造をプルアップ型にして、内部回路 4 3，設定回路 6 0 b 及びテスト回路 6 0 a に L レベルの信号を供給すると、I P 2 4 とシリコン配線基板の配線層とが正しく接続されていれば、テスト回路 6 0 a において L レベルのモニター信号が生成されるが、もし、断線している部分があればプルアップされるのでテスト回路 6 0 a から H レベルのモニター信号が生成される。したがって、モニター信号の H，L の別から I P 2 4 とシリコン配線基板の配線層との電氣的接続状態の良否を判定することができる。つまり、クロック信号を利用した制御を行なわなくても、各 I P とシリコン配線基板の配線との電氣的接続状態を検査することができる。

## 【 0 0 5 3 】



図 6 は、テスト回路 6 0 a をプルダウン型にした場合の一例を示す I P 及び設定回路の電気回路図である。同図においても、図中破線に示すパッド（シリコン配線基板上の配線につながるパッドと I P 内の回路につながるパッドとが重なっている）により、各 I P 内の回路とシリコン配線基板中の各配線とが互いに接続されている。このような構成により、テスト回路 6 0 a において、電氣的接続状態がすべて適正な場合には、最終段の A N D 回路から H レベルのモニター信号が出力されるが、断線によって配線から H レベルの信号が供給されなかった場合には、内部のノードの電圧がプルダウンされるので、最終段の A N D 回路から L レベルのモニター信号が出力される。つまり、モニター信号の H, L の別から I P 2 4 とシリコン配線基板の配線層との電氣的接続状態の良否を判定することができる。同様に、テスト回路をプルアップ型構成にして、モニター信号が L レベルであれば電氣的接続状態が良好であり、H レベルであれば電氣的接続状態が不良であると判断することもできる。

## 【 0 0 5 4 】

なお、電氣的接続状態の検査が終了した後は、テストモード信号を与えるパッド（この例では、外部端子パッド 2 1 e）を接地ライン（又は電源ライン）に接続するなどして、テストモード信号とは逆レベルの信号がテスト回路 6 0 a に供給されるようにしておく。これにより、I P 2 4（チップ I P）の実使用時におけるテスト回路の動作を回避することができ、I P O S デバイスの実使用に際しての不具合を回避することができる。

## 【 0 0 5 5 】

また、図 5 に示すように、外部端子パッドに代えて、シリコン配線基板の配線層の途中にテストパッド 7 1 ～ 7 5 を設け、このテストパッド 7 1 ～ 7 5 を利用してもよい。その場合、I P 5 0 内にテスト回路 8 0 a を、I P 5 0 の外にテストモード信号を出力するための設定回路 8 0 b を設ければよい。この場合にも、例えば図 6 に示す回路を利用して、I P 5 0 とシリコン配線基板の配線層（又はパッド）との電氣的接続状態の良否を検査することができる。

## 【 0 0 5 6 】

ただし、外部端子パッドを利用することにより、シリコン配線基板上にチップ

I P ( I P ) を搭載した後、パッケージ化止した状態で電氣的接続状態の良否を判定することができるという著効を発揮することができる。特に、各チップ I P について、電源ラインにつながるパッドや接地ラインにつながるパッドは、各チップ I P に接続されているので、チップ I P の数が増えても増えることはない。一方、設定回路につながる外部端子パッドも、各チップ I P について共有化が可能である。したがって、テスト回路につながる外部端子パッドのみを各チップ I P 毎に設けると、I P O S デバイス全体のチップ I P をパッケージ化してから電氣的接続状態を検査することが可能になる。

## 【 0 0 5 7 】

なお、テストモード信号を入力するための設定回路も各 I P 内に組み込んでもよい。

## 【 0 0 5 8 】

## (第 4 の実施形態)

図 7 は、第 4 の実施形態における I P O S デバイスの一部を拡大して示す平面図である。本実施形態の特徴は、電氣的接続状態を検査しようとする I P 8 1 , 8 2 , 8 3 , 8 4 , … 内に、モニター信号を生成するためのテスト回路 6 0 a を設け、シリコン配線基板上に各 I P の外部にテストモードを設定するための設定回路 9 0 と、この設定回路 9 0 の出力を制御ポートに受け、各テスト回路 6 0 a の出力を入力ポートに受けるセレクタ 8 5 と、シリコン配線基板上の配線と電源との導通をオン・オフ切り換えるための配線切断スイッチ 8 6 とを設けている点である。なお、図中破線に示すパッド（シリコン配線基板上の配線につながるパッドと I P 内の回路につながるパッドとが重なっている）により、各 I P 内の回路とシリコン配線基板中の各配線とが互いに接続されている。

## 【 0 0 5 9 】

本実施形態においては、I P O S デバイスの外部端子パッド 2 1 h ~ 2 1 n をテストパッドとして利用する。ここで、外部端子パッド 2 1 h は I P 8 1 , 8 2 , 8 3 , 8 4 , … 内の電源ライン 4 2 に接続され、外部端子パッド 2 1 i , 2 1 m は I P 8 1 , 8 2 , 8 3 , 8 4 , … 内の内部回路 4 3 に配線切断スイッチ 8 6 を介して接続され、外部端子パッド 2 1 j は I P 8 1 , 8 2 , 8 3 , 8 4 , … 内

の接地ライン 4 1 に接続され、外部端子パッド 2 1 k, 2 1 l は設定回路 9 0 に接続され、外部端子パッド 2 1 n は各 I P 8 1, 8 2, 8 3, 8 4, … 内のテスト回路 6 0 a の出力を選択していずれか 1 つを出力するセレクタ 8 5 の出力側に接続されている。また、シリコン配線基板の配線は、抵抗体を介して電源に接続されて、プルアップされている。

#### 【 0 0 6 0 】

各 I P 8 1, 8 2, 8 3, 8 4 とシリコン配線基板との電氣的接続状態を検査する際には、各外部端子パッド 2 1 h, 2 1 i, 2 1 j, 2 1 k, 2 1 l, 2 1 m, 2 1 n にそれぞれテスト用ピン 9 1, 9 2, 9 3, 9 4, 9 5, 9 6, 9 7 を接触させる。そして、テスト用ピン 6 1, 9 3 から外部端子パッド 2 1 h, 2 1 j を介してそれぞれ電源電圧、接地電圧を供給する。

#### 【 0 0 6 1 】

一方、テスト回路 6 0 a がプルダウン型かプルアップ型かに応じて、テスト用ピン 9 2, 9 6 から外部端子パッド 2 1 i, 2 1 m を介して、I P 8 1, 8 2, 8 3, 8 4, … のうちの 1 つの内部回路 4 3 にテストモード信号として H レベル又は L レベルの信号を供給する。これにより、内部回路 4 3 の全入出力端子は入力端子としてしか機能しなくなり、内部回路 4 3 からの信号に関わりなくテストを行なうことができるようになる。このとき、テスト用ピン 9 4 からテストモード設定信号  $S_{tm}$  を、テスト用ピン 9 5 から巡回制御信号  $S_{ct}$  信号をそれぞれ設定回路 9 0 に供給し、設定回路 9 0 を通じて各配線切断スイッチ 8 6 のオン・オフの切り換えとセレクタ 8 5 の切り換えとを行なうことにより、順次、I P 8 1, 8 2, 8 3, 8 4, … とシリコン配線基板の配線層（又はパッド）との接続状態の良否を各 I P 毎に検査することができる。

#### 【 0 0 6 2 】

この方法によると、すべての I P 8 1, 8 2, 8 3, 8 4, … とシリコン配線基板の配線層（又はパッド）との接続状態の良否を検査することができる。

#### 【 0 0 6 3 】

#### 【 発明の効果 】

本発明により、半導体配線基板とその上に搭載されるチップ I P との接続の信

頼性を確保しうる半導体デバイス及びその検査方法が得られる。

【図面の簡単な説明】

【図 1】

(a), (b), (c) は、IP 群を搭載するための配線基板となるシリコン配線基板の平面図、シリコン配線基板上に搭載される IP 群の例を示す平面図、及びシリコン配線基板の断面図である。

【図 2】

第 1 の実施形態の IP OS デバイスの全体構造及び部分拡大構造を示す平面図である。

【図 3】

(a), (b) は、それぞれ第 1 の実施形態の IP (チップ IP) と配線との第 1 及び第 2 の検査方法を示すブロック回路図である。

【図 4】

第 2 の実施形態の IP OS デバイスの一部を拡大して示す平面図である。

【図 5】

第 3 の実施形態における IP OS デバイスの一部を拡大して示す平面図である。

【図 6】

第 3 の実施形態におけるテスト回路をプルダウン型にした場合の一例を示す IP 及び設定回路の電気回路図である。

【図 7】

第 4 の実施形態における IP OS デバイスの一部を示す平面図である。

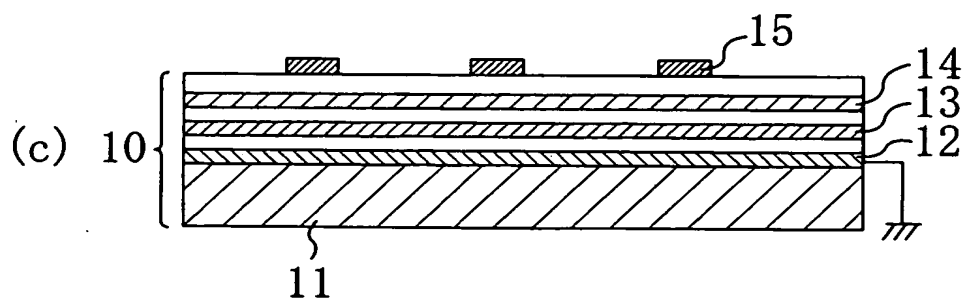
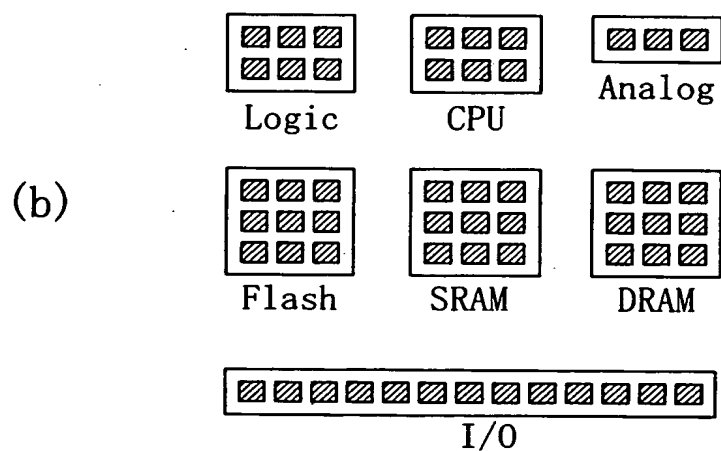
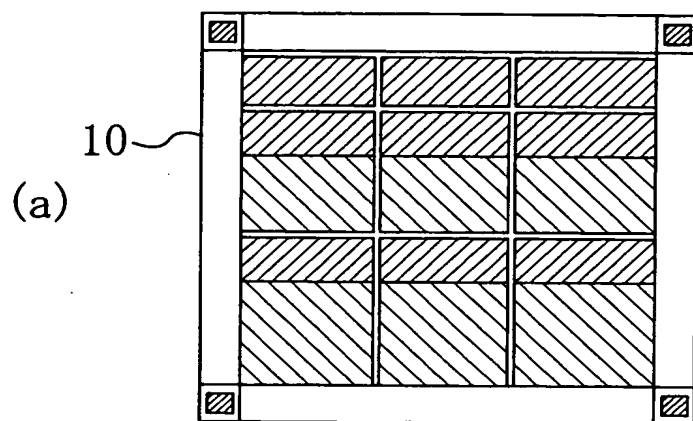
【符号の説明】

- 1 0     シリコン配線基板
- 1 1     シリコン基板
- 1 2     グランドプレーン
- 1 3     第 1 配線層
- 1 4     第 2 配線層
- 1 5     パッド

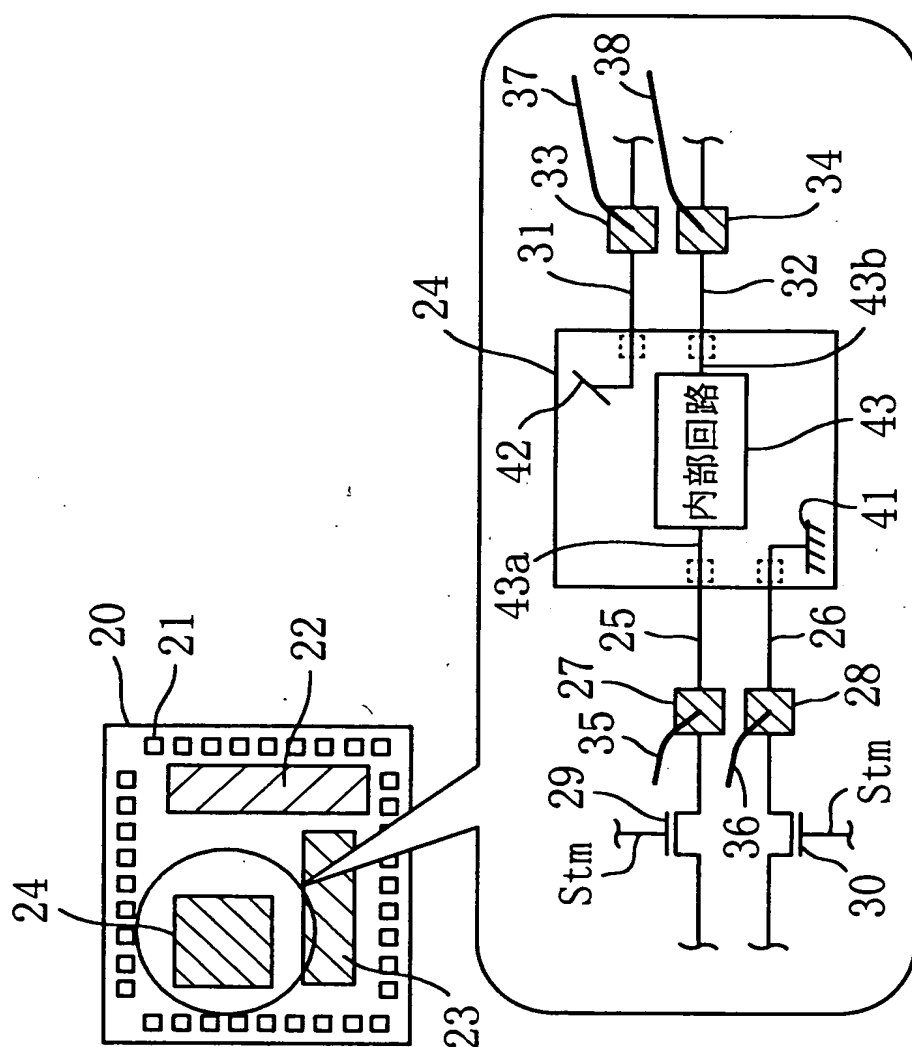
- 2 0 シリコン配線基板
- 2 1 外部端子パッド
- 2 2 ~ 2 4 I P (チップ I P)
- 2 5, 2 6 配線
- 2 7, 2 8 テストパッド
- 2 9, 3 0 スイッチングトランジスタ
- 3 1, 3 2 配線
- 3 3, 3 4 テストパッド
- 3 5 ~ 3 8 テスト用ピン
- 4 1 接地ライン
- 4 2 電源ライン
- 4 3 内部回路
- 4 3 a, 4 3 b ノード
- 4 4 セレクタ
- 5 0 I P
- 5 1, 5 2 M O S トランジスタ
- 6 0 a テスト回路
- 6 0 b 設定回路
- 6 1 ~ 6 5 テスト用ピン
- 7 1 ~ 7 5 テストパッド
- 8 0 a テスト回路
- 8 0 b 設定回路
- 9 0 設定回路

【書類名】 図面

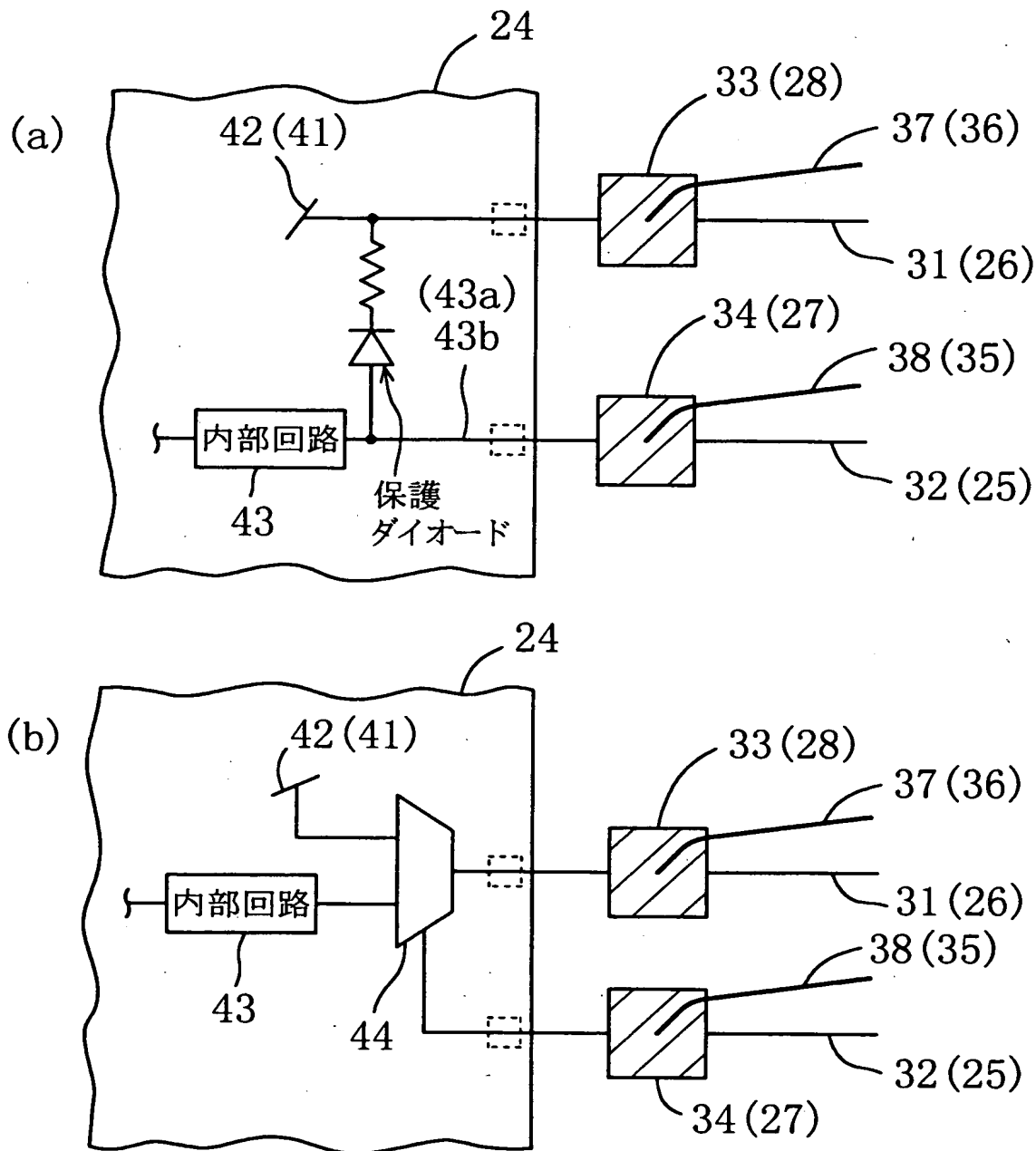
【図 1】



【図 2】

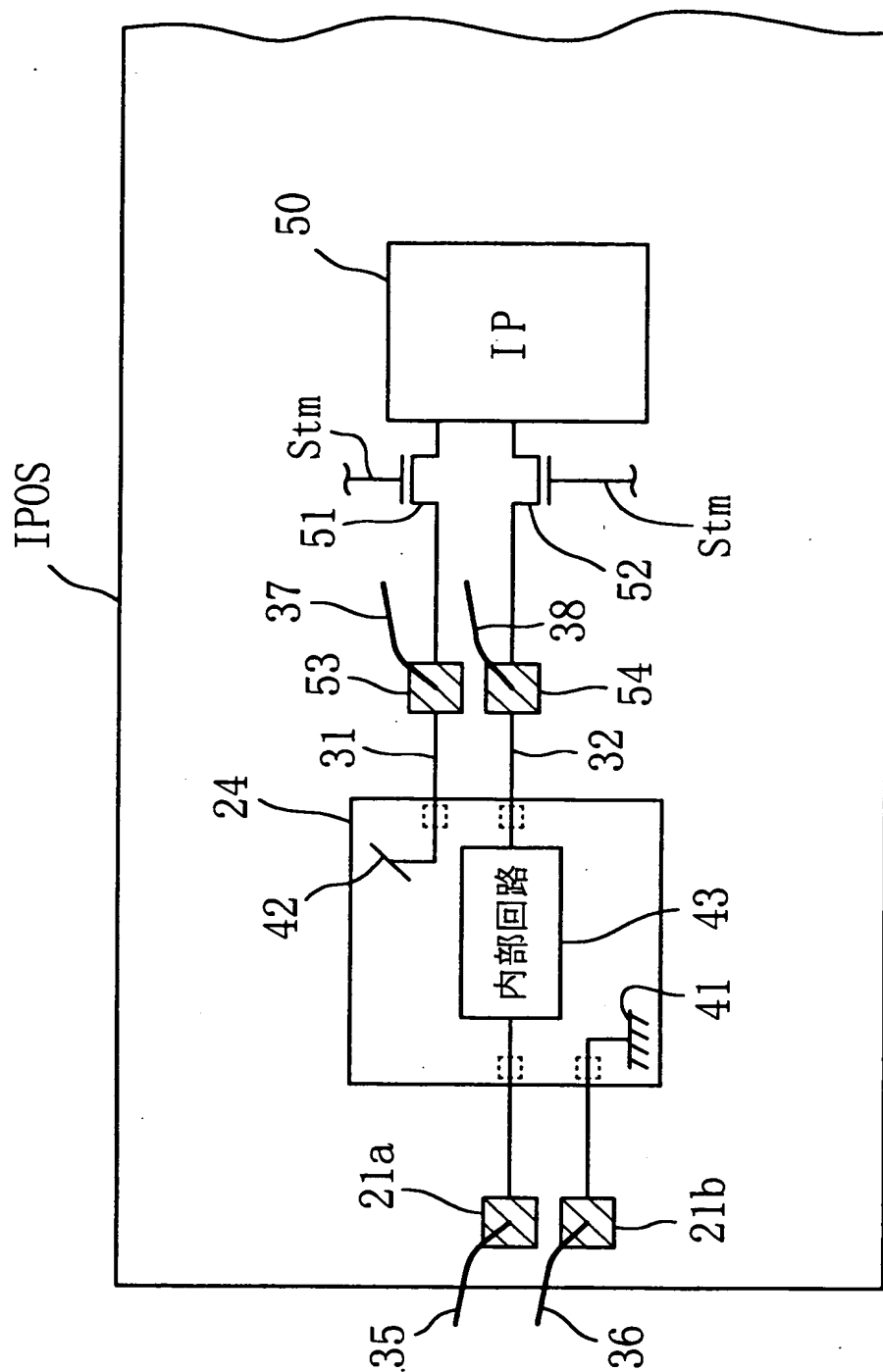


【図 3】

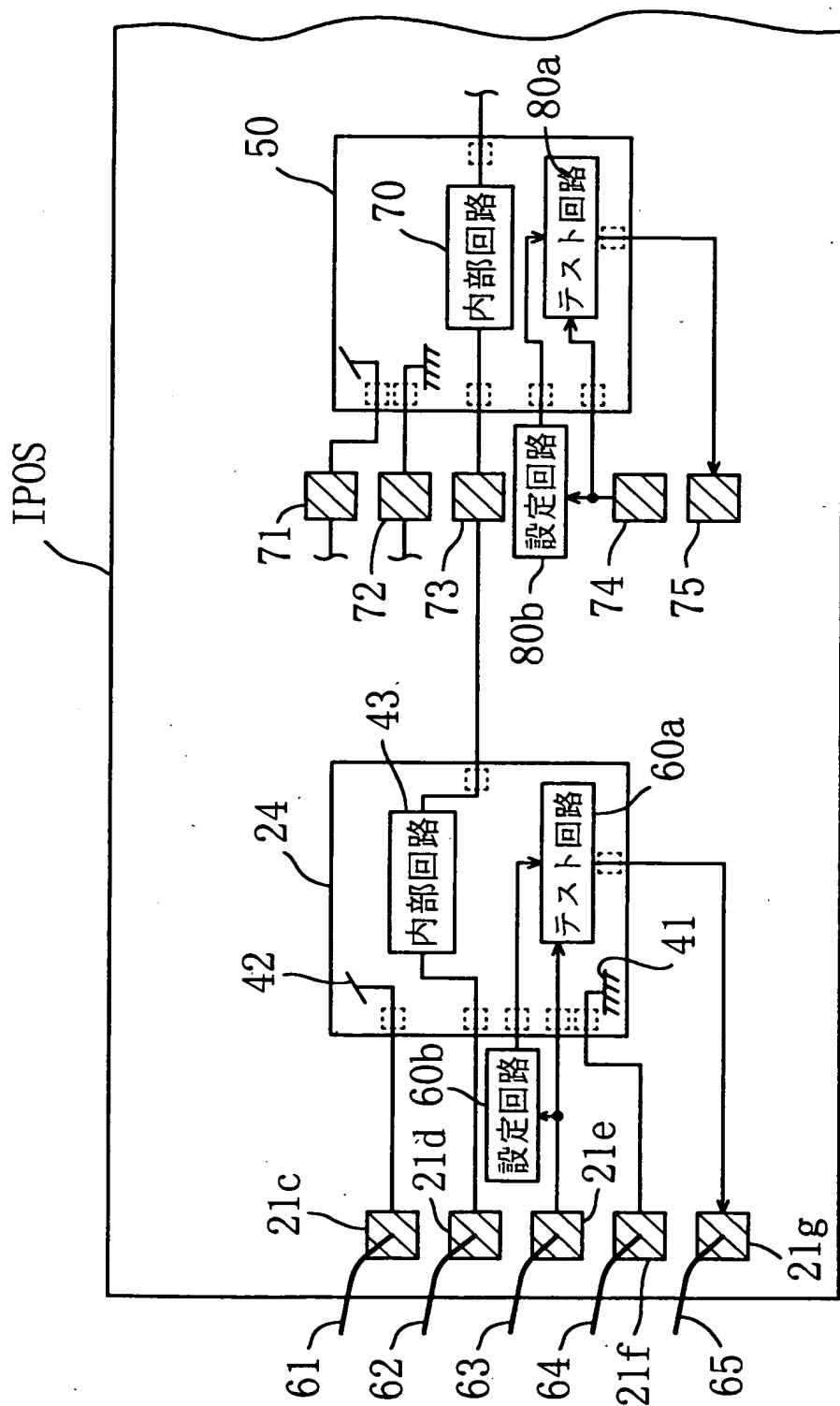




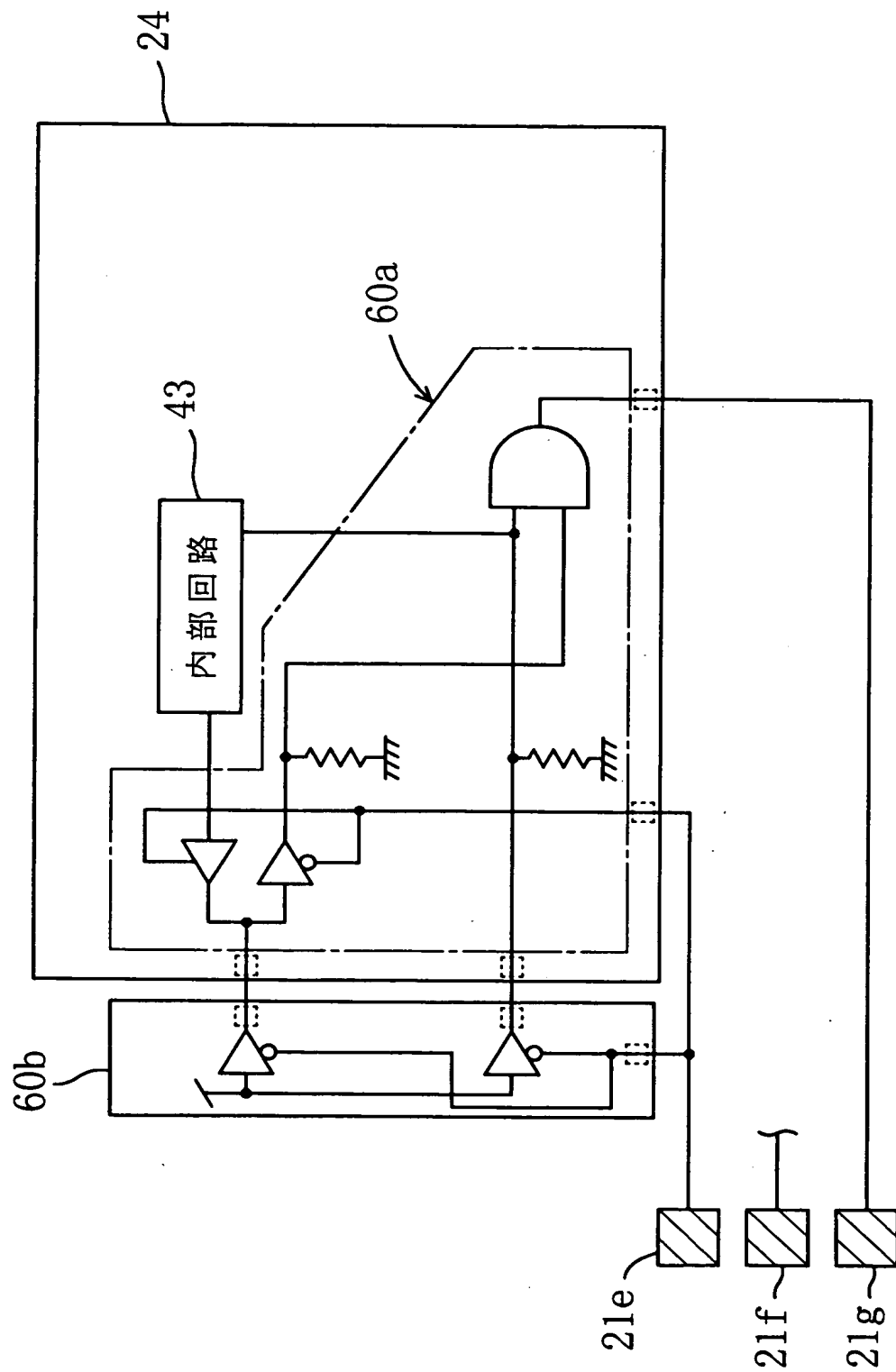
【図 4】



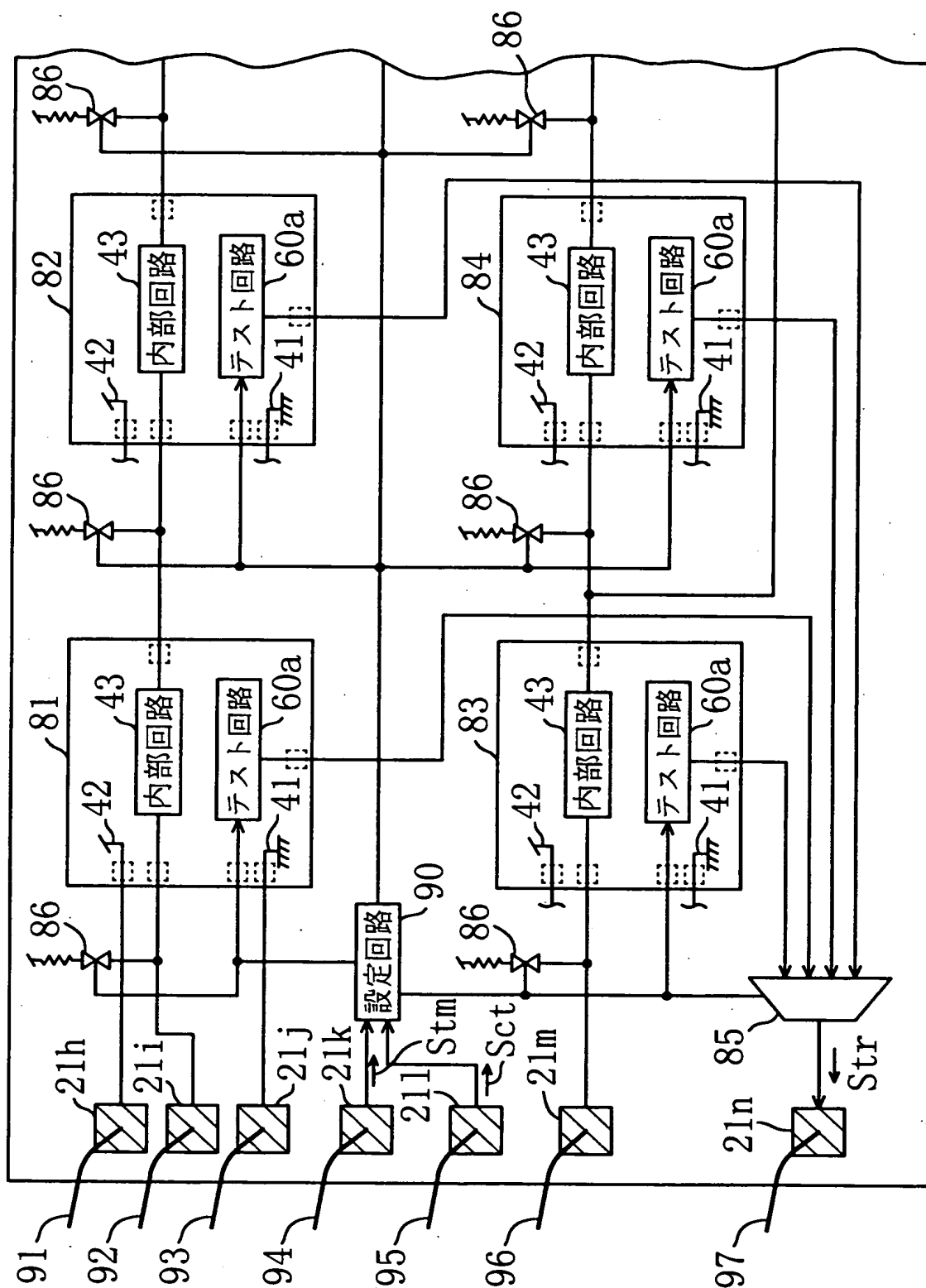
【図5】



【図 6】



【図 7】



【書類名】 要約書

【要約】

【課題】 半導体配線基板上に搭載された各チップ I P と半導体配線基板との電氣的接続の信頼性を確保しうる半導体デバイス及びその検査方法を提供する。

【解決手段】 シリコン配線基板 2 0 上には、I P 2 2, 2 3, 2 4 がチップ I P として搭載可能となっている。シリコン配線基板 2 0 は、複数の配線を有している。そして、シリコン配線基板の配線につながるパッドと I P (チップ I P) とを貼り合わせにより搭載する構造となっている。シリコン配線基板上に、電源ライン、接地ラインや I P 内の内部回路につながる配線に接続される検査用パッド 2 7, 2 8 を設ける。電源ラインや接地ラインに逆極性の電圧を印加すると、保護ダイオードに順方向電流が流れることを利用して、I P とシリコン配線基板との接続状態の良否を判定する。各チップ I P 内に電氣的接続状態の検査のためのテスト回路を設けてもよい。

【選択図】 図 2

出 願 人 履 歴 情 報

識別番号 [000005821]

1. 変更年月日	1990年 8月28日
[変更理由]	新規登録
住 所	大阪府門真市大字門真1006番地
氏 名	松下電器産業株式会社